



Please Click here to view the drawing

Korean FullDoc.

English Fulltext



KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010095153 A  
 (43)Date of publication of application: 03.11.2001

(21)Application number: 1020010016818  
 (22)Date of filing: 30.03.2001  
 (30)Priority: 31.03.2000 JP2000  
 2000099890

(71)Applicant: SANYO ELECTRIC CO., LTD.  
 (72)Inventor: KITAGAWA MAKOTO  
 KOBAYASHI MITSUGU  
 TSUTSUI YUSUKE  
 UEHARA HISAO

(51)Int. Cl. G02F 1/133

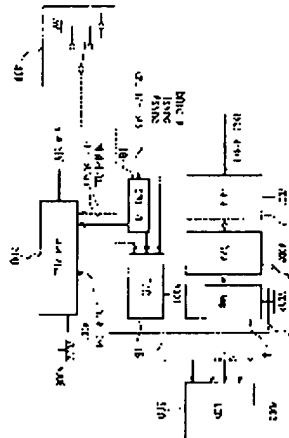
## (54) DRIVING DEVICE FOR DISPLAY DEVICE

## (57) Abstract:

**PURPOSE:** To enable the power source system of a display device or the like to cope with a power-saving mode with simple constitution while enabling the display device to perform display.

**CONSTITUTION:** The power source circuit 300 of the display device such as a liquid crystal display device outputs a boosted power source voltage VDD2 at the time of normal operation and generates a non-boosted power source voltage VDD2 lower than that at the time of the normal operation by controlling a switch for changing over the output in the circuit 300 at the time of a power saving mode and supplies the output voltage to the analog system circuits (a D/A conversion circuit 12 and an amplifier 14) of a driving circuit

100 to attain the reducing of power consumption in the analog system circuits. Moreover, the circuit 300 can be changed over to a mode generating the lower power source voltage without performing the off control of the power source at the time of the power saving mode and, also, to a mode performing the off control of the power source by controlling the switch for changing over the output in the circuit 300 and the supplying of clocks for the power source.



copyright KIPO &amp; JPO 2002

## Legal Status

Date of request for an examination (20010330)

Notification date of refusal decision ( )

Final disposal of an application (registration)

Date of final disposal of an application (20050521)

Patent registration number (1005031870000)

공개특허 제2001-95153호(2001.11.03.) 1부.

특2001-0095153

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.  
G02F 1/132

(11) 공개번호 특2001-0095153

(43) 공개일자 2001년11월03일

(21) 출원번호	10-2001-0016818
(22) 출원일자	2001년03월30일
(30) 우선권주장	2000-099890 2000년03월31일 일본(JP)
(41) 출원인	산요 덴키 가부시키가이샤 다키노 아사마키
(42) 발명자	일본 오사카부 모리구치시 게이한 혼도오리 2쵸메 5번 5고 쓰즈이유스케 일본기후행하시미시후쿠조조하라카마7-35 기마가와미카토 일본기후행안베케공소노마쓰시모주구615-24 고비이시미쓰구 일본아이씨켄니고마시미도리구니후오끼1쵸메815 우에하라하시오 일본기후행오기끼시미고구1쵸메4-1 구원청, 장수길, 이종희
(74) 대리인	구원청, 장수길, 이종희

특허청장 (인)

(54) 표시 장치용 구동 장치

요약

표시 장치등의 전원 시스템에 있어서, 표시를 가능하게 하고 간단한 구성으로 파워 세이브 모드에 대응 가능하게 한다.

액정 등 표시 장치의 전원 회로(300)가 동작 동작 시에는 승압 전압 전압VDD2를 출력하고, 파워 세이브 시에는, 전원 회로(300)내의 출력 전압을 스위치를 제어함으로써, 정상 표시 동작 시보다도 낮은 승압 전압 전압VDD2를 발생하고, 이것을 구동 회로(100)의 아날로그 회로(D/A 변환 회로(12) 및 앰프(14))에 공급하고, 아날로그 회로에서의 소비 전력저감을 도모한다. 또한, 전원 회로내의 출력 전압용 스위치 및 전압 분할 회로 공급을 제어함으로써 파워 세이브 시에, 전원을 오프 제어하지 않고 낮은 전압 전압을 발생하는 모드에도, 전원을 오프 제어하는 모드에도 전환할 수도 있다.

도면들

도 1

도 2

구동 장치, 전원 회로, 처리 회로, 변환 회로, 파워 세이브 모드

도 3

도 4 및 도 5의 구성

도 1은 본 발명에 관한 표시장치의 구성을 나타내는 도면.

도 2는 본 발명의 실시예 1에 관한 표시장치의 스위칭 레귤레이터형 전원 회로의 구성을 나타내는 도면.

도 3은 본 발명의 실시예 1에 관한 표시장치의 차지 펌프형 전원 회로의 구성을 나타내는 도면.

도 4는 본 발명의 실시예 1에 관한 표시장치의 D/A 변환 회로의 구성을 나타내는 도면.

도 5는 도 4의 구성에 의해 작성 가능한 신호 파형을 나타내는 도면.

도 6은 본 발명의 실시예 2에 관한 표시장치의 전원 회로의 구성을 나타내는 도면.

도 7은 본 발명의 실시예 2에 관한 표시장치의 CPU 인터페이스 회로 및 타이밍 컨트롤러 내의 전압을 클럭 발생 회로의 구성을 나타내는 도면.

- 도 8은 도 7에 나타내는 구성의 파워 세이프 모드 1인 경우의 동작을 나타내는 타이밍 차트.  
 도 9는 도 7에 나타내는 구성의 파워 세이프 모드 2인 경우의 동작을 나타내는 타이밍 차트.  
 도 10은 휴대의 휴대 기기용 액정 표시장치 구성을 나타내는 도면.  
 도 11은 도 10에 전원 회로(350)의 구성을 나타내는 도면.

<도면의 주요부분에 대한 부호의 설명>

- 10 : 래치 회로  
 12 : 디지털 아날로그(D/A) 변환 회로  
 14 : 앰프  
 16 : CPU 인터페이스 회로(CPU I/F)  
 18 : 타이밍 컨트롤러(T/C)  
 30c, 30s : 발진 회로  
 31 : 감마게이터  
 32 : AND 게이트  
 33 : HAND 게이트  
 131, 140, 171, 172, 173, 175, 176, 177 : 인버터  
 160 : 구동 회로  
 161, 162, 163, 164, 165, 166, 167, 168 : 플립플롭(F/F)  
 169 : AND 게이트  
 174, 178 : HAND 게이트  
 190 : 전원용 클럭 발생 회로(AND 게이트)  
 200 : 표시패널(LCD 패널)  
 300 : 전원 회로  
 301, 303 : 스위치  
 302 : 파워팩부

본 발명의 실시예를 설명

한 것이다.

본 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은, 표시 장치, 특히 파워 세이프 모드에 대응하고, 저소비 전력인 표시장치를 위한 구동 장치에 관한 것이다.

액정 표시 장치와 유기 EL 표시 장치 등으로 대표되는 평판 표시 장치는, 박형이며 경량임과 동시에 저소비 전력에므로, 휴대 전화 등의 휴대 기기 표시 장치로서 뛰어나며, 많은 휴대 기기에 이용되고 있다.

도 10은, 휴대 전화의 표시 장치로서 이용되는 액정 표시 장치 구성을 나타내고 있다. 액정 표시 장치는, 한 평의 기판 사이에 액정이 봉입되어 구성된 액정 표시(LCD) 패널(200)과, 이 LCD 패널(200)을 구동하는 구동 회로(101)와, 구동 회로(101) 및 LCD 패널(200)에 필요한 전원 전압을 공급하는 전원 회로(350)를 구비하고 있다.

구동 회로(101)는, 공급되는 RGB 디지털 데이터를 래치하는 래치 회로(10), 래치한 데이터를 아날로그 데이터로 변환하는 디지털 아날로그(D/A) 변환 회로(12), 변환된 아날로그 데이터를 증폭하고 액정 표시 패널(200)에 R, G, B 아날로그 표시 데이터로서 공급하는 앰프(14)를 구비한다. 또한 구동 회로(101)는, 타이밍 컨트롤러(T/C)(22)와, 도시하지 않는 CPU로부터 명령을 받고 명령에 따른 제어 신호를 출력하는 CPU 인터페이스(I/F) 회로(20)를 구비한다. T/C(22)는, 도트 클럭 DOTCLK, 수평 동기 신호 Hsync, 수직 동기 신호 Vsync 등의 타이밍 신호에 기초하여, 액정 표시 패널(200)에서의 표시에 적합한 타이밍 신호를 발생하고 있다.

구동 회로(350)는, 필요에 따라 복수의 전원 전압을 발생하고 있으며, 여기서는 저전압 구동에 적합한 VDD1 등의 회로로 구성되며, 디지털 신호 처리를 행하는 상술의 래치 회로(10)에는 저전압 전원 전압 VDD1을 공급하고, D/A 변환 회로(12), 앰프(14)에는 보다 고전압의 전원 전압 VDD2, LCD 패널(200)에는 또한 구동임의 전원 전압 VDD3을 공급하고 있다.

도 11(a) 및 도 11(b)는 각각 상기 복수의 전압 중, 전압 VDD2를 발생하는 증배의 전원 회로 구성을 나타내고 있으며, 도 11(a)에 나타내는 전원 회로(350)는 스위칭 레귤레이터형, 도 11(b)에 나타내는 전원 회로(350)는 차지 커패시터 회로이다.

도 11(a)의 스위칭 레귤레이터형 전원 회로(350)는, 임출력 사이에 이 순서대로 설치된 코일 L1 및 다이오

도 11, 수정의 펄스신호를 발진하는 발진 회로(35s), 발진 회로(35s)로부터의 펄스신호를 게이트에 받는 트랜지스터(Tr36)를 구비하는 승압부(351)를 갖고, 발진 회로(35s)로부터의 펄스신호에 의해서 트랜지스터(Tr36)를 온오프제어함으로써, 코일나 및 다이오드 나에서 입력전압 VIN을 승압하고 있으며, 일어진 승압 전원 VDD2는, 액정 구동 회로(101)에 동작 전원으로 공급되어 있다. 또한, 전원 회로(350)는, 그 출력단과 그랜드 사이에 분압 저항 R37 및 R38을 갖고 컴퍼레이터(36)가 이 저항R37과 R38 사이의 분압과 기준 전압 Vref를 비교해서 비교신호를 출력한다. 그리고, 컴퍼레이터(36)로부터의 출력 전압 VDD2에 따른 비교신호에 기초하여 발진 회로(35s)의 발진 주파수를 제어함으로써, 출력 전압 VDD2가 안정되도록 제어하고 있다.

도 11(b)의 차지 평폭한 전원 회로(350)는, 2개의 캐패시터 C1, C2와 이 캐패시터로의 입력 전압 공급 두단의 전이하는 캐패시터용 스위치 SW1~SW4, 그 스위치 SW1~SW4의 전환을 제어하기 위한 펄스 신호를 발생하는 발진 회로(35s), AND 게이트(37) 및 NAND 게이트(39)를 구비하고 있다.

발진 회로(35s)는, 매들 돌면 유디에 1/2의 펄스신호를 발생하고, 이 펄스 신호가 AND 게이트(37)를 통해서 스위치 SW1 및 SW2에 공급되며, NAND 게이트(39)를 통해서 스위치 SW3 및 SW4에 공급되고, 스위치 SW1 및 SW2와, 스위치 SW3 및 SW4를 교대로 개폐하고 있다.

스위치 SW3 및 SW4가 닫히면, 캐패시터 C1의 도면중의 상측 전극에 입력 전압 VIN이 인가되며, 하측 전극은 그랜드(GND)로 연결되어 캐패시터 C1이 충전된다. 다음의 타이밍으로 스위치 SW3 및 SW4가 열리고 반대쪽 스위치 SW1 및 SW2가 닫히면, 캐패시터 C1의 도면중의 하측 전극에 입력 전압 VIN이 인가되며, 캐패시터 C1의 상측 전극의 전위가 입력 전압 VIN의 2배 전위까지 승압되며, 캐패시터 C1의 상측 전극과 캐패시터 C2 사이에서 매들 출력단에서 입력 전압 VIN의 2배 출력 전압 VDD2를 얻고 있다.

그런데, 매들 돌면 휴대 전화 등의 휴대 기기는, 소비 전력 저감 요구가 매우 강하고, 기기의 표시 장치에 대해서도 소비 전력의 한층 저하를 요구한다. 이 요구에 대응하기 위해서, 종래부터 비동작시에는 장치 전원을 오프 제어함으로써 장치의 소비 전력 저감을 행하는 파워 세이브 모드가 채택되고 있다.

도 10에 나타내는 표시 장치에도 이와 같은 파워 세이브 모드에 대응하고 있으며, 1/F 회로(20)가 도시하 지 않는 CPU로부터 송출되는 파워세이브 제어 명령을 해석하고, 파워세이브 제어신호를 발생하고 있다. 파워세이브 제어신호는 예를 들면 동상 동작시와 파워세이브 시로 레벨이 다른 신호이며, 도 11의 전원 회로(350)로 공급되고 있으며, 도 11(a) 및 도 11(b)의 어느 형식의 전원 회로(350)도, 파워세이브 제어신호 가 파워세이브를 나타내는 레벨이 되면, 전원 전압 VDD2 발생을 정지하는 구성을 갖고 있다. 또한 도시하 지는 않지만, 마찬가지로, 전원 VDD3도 오프 제어되며, LCD 패널(200)로의 전원 공급이 정지한다. 도 11(a)의 전원 회로(350)에서는, 트랜지스터(Tr35, Tr37) 및 (Tr38), 저항R35 및 R36 및 인버터(38)에 의 해서 이와 같은 파워세이브 모드에 대응하고 있다. 또한 여기서 파워세이브 제어신호가 동상 동작시 L레 벨, 파워세이브시 H레벨이 된다.

동상 동작시에는, L레벨의 파워세이브 제어신호를 받고, 발진 회로(35s)는 발진 동작하고, 트랜지스터 (Tr37)가 온해서, 입출력 경로에 설치된 트랜지스터(Tr35)를 온시킨다. 또한 전원 회로(350) 출력단과 그 랜드 사이에 접속된 트랜지스터(Tr38)는, 이 때 오프 제어되어 있다. 따라서, 동상 동작시는, 입력 전압 VIN과 승압부(351)에서 승압해서 얻어진 전압 VDD2가 출력된다.

또한 파워세이브 시에 파워세이브 제어신호가 H레벨이 되면, 발진 회로(35s)가 발진 동작을 정지하고, 트랜 지스터(Tr37)가 오프해서 트랜지스터(Tr35)가 오프 제어되므로, 승압부(351)로부터의 출력이 끊긴다. 또 한 트랜지스터(Tr38)가 온하므로, 출력단이 그랜드에 접속되며, 전원 회로(350)로부터의 출력 전압이 0V, 즉 전원 회로(350)가 오프 제어된다.

또한, 도 11(b)의 전원 회로(350)는, 동상 동작시에 H레벨, 파워세이브 시에 L레벨이 되는 파워세이브 제 어신호를 받아, 그 파워세이브 제어신호가 H레벨이면 동상대로 펄스신호를 발생한다. 이 때문에 스위치 SW1 및 SW2와, SW3 및 SW4가 교대로 전환 제어되며, 차지 평화가 가능해서 입력전압 VIN 보다 높은 전압 VDD2를 얻는다. 그러나, 파워세이브 시에, 파워세이브 제어 신호가 L레벨이 되면, 발진 회로(35s)는 동작 을 정지하고, AND 게이트(37)의 출력이 L레벨로 고정되며, NAND 게이트(39)의 출력이 H레벨로 고정되므로, 캐패시터 C1 및 C2가 방전되어 출력 전압이 저하하고, 전원 회로(350)는 오프 제어된다.

이와 같이, 파워세이브 모드에 대응하는 종래의 전원 회로에서는 파워세이브 시에 표시 장치의 구동 회로 (101)와 LCD 패널(200)에 공급되는 전원 전압을 오프 제어함으로써, 구동 회로(101)와 LCD 패널(200)에서 의 전력 소비를 없애고, 표시 장치로서의 소비전력을 세이브하고 있다.

#### 발진회로에 의해 행하는 기술적 과제

그러나, 상술과 같이 파워세이브 시에 전원 회로를 오프 제어하면, 표시 장치에서는 표시를 할 수 없게 된 다. 휴대전화를 예로 들면, 비동화 시에 파워세이브 모드가 되면, 내장된 시계가 나타내는 시각과 전파 상태등을 표시하고자 해도 표시전원이 오프 제어되어 있으므로 아무것도 표시할 수 없다.

파워세이브 시에도 표시를 가능하게 하기 위해서는, 표시용 전원을 오프하지 않고, 표시 장치의 구동 주파 수를 저하시키는 방법을 생각해볼 수 있다. 그러나, 표시 장치에서는, CPU 등과 달리 그 구동 주파수 저하 는 단순한 동작 속도의 저하뿐만 아니라 표시 품질에 큰 영향을 주며, 일정 주파수 이하가 되면 표시 깜박 임이 발생하고, 뚜렷한 표시 품질의 열화를 초래한다. 따라서, 구동 주파수의 저하에 의한 파워세이브에 는 저하 가능한 주파수에 한계가 있으며, 그러면, 소비 전력의 저감 효과가 그다지 높지 않다.

또한 매들 돌면, 레지 회로 등의 디지털 처리계 회로에서는 신호가 H에서 L, L에서 H로 변화할 때에 전력을 소비하므로, 구동 주파수를 저하시킴으로써, 그 소비전력을 저감할 수 있다. 그러나 D/A 회로와 앰프 등의 아날로그 처리계 회로에서는, 그 소비 전력의 구동 주파수에 의존성은 낮고, 구동 주파수를 저하시키 는 것만으로는 전력 절약을 할 수 없다는 문제가 있다.

또한 파워세이브를 위해서, 동상 저하 가능한 구동 주파수보다 더 낮은 구동 주파수에서 표시를 행하기에

는 LCD 패널 내의 수지 구성의 설계 변경과 액정 재료의 변경 또는 LCD 구동방법의 변경 등이 필요하며, 때문에 설계 변경이 되어 장치의 비용 상승 등을 초래한다.

본 발명은, 상기 과제를 해결하기 위해서 보다 간단한 방법으로 효율적으로 파워세이브 모드에 대응해서 소비 전력의 저감할 수 있으며, 동시에 파워세이브 시에도 표시가 가능한 표시 장치를 실현하는 것을 목적으로 한다.

#### 발명의 구성 및 작용

상기 목적을 달성하기 위해 본 발명은, 다음과 같은 특성을 갖는다.

또한, 본 발명에 관한 표시 장치를 구동 장치에 있어서, 디지털 신호를 처리하는 디지털 신호 처리 회로와, 디지털 신호를 아날로그 신호로 변환하는 디지털 아날로그 변환 회로와, 아날로그 신호를 처리하는 아날로그 신호 처리 회로를 구비하며, 표시부에 표시를 행하게 하기 위한 신호를 발생하는 구동 회로와, 상기 구동 회로를 위한 전원 전압을 발생하는 전원 회로를 갖고, 상기 전원 회로는 소정의 파워 세이브가 지정되면, 상기 디지털 아날로그 변환 회로 및 상기 아날로그 신호 처리 회로에 공급하는 전원 전압을 항상 일정 시보다도 낮게 하는 것을 특징으로 한다.

본 발명은 상기 구동 장치에 있어서, 상기 디지털 아날로그 변환 회로는, 상기 전원 회로로부터의 전원에 의해 전압을 복수의 분압 저항을 갖고, 그 분압 저항에 의해 상기 전원 전압을 복수 단계로 분압하고, 디지털 데이터에 따른 분압을 선택해서 아날로그 신호를 출력하는 것을 특징으로 한다.

또한 본 발명에서는, 디지털 신호를 처리하는 디지털 신호 처리 회로와, 디지털 신호를 아날로그 신호로 변환하는 디지털 아날로그 변환 회로와, 아날로그 신호를 처리하는 아날로그 신호 처리 회로를 구비하며, 표시부에 표시를 행하게 하기 위한 신호를 발생하는 표시 장치를 구동 장치에 있어서, 소정의 파워 세이브가 지정되면, 상기 디지털 아날로그 변환 회로 및 상기 아날로그 신호 처리 회로는 항상 일정 시보다도 저하한 전원 전압에 의해 동작하는 것을 특징으로 한다.

한편 같이 파워세이브가 명하였을 때, 구동 회로 내의 디지털 아날로그 변환 회로 및 아날로그 신호 처리 회로에서 전원 전압을 저하시키므로 아날로그 신호를 처리하는 이들 회로에 있어서 소비 전력을 저감할 수 있다. 또한, 본 발명에 있어서 이들 아날로그 신호를 처리하는 회로는 전원 전압이 저하해도 동작하는 것이 가능하며, 파워 세이브 시에도 표시부에 표시를 수행시키기 위한 신호를 발생시킬 수 있으며, 표시를 행할 수 있다.

본 발명의 또다른 특징은, 상기 구동 장치에 있어서, 상기 전원 회로가, 입력 전압을 승압하는 승압부와, 전원 출력단에서의 전원 전압을 저항 분압으로서 검출하고, 이것을 기준 전압과 비교해서 상기 전원 전압을 유지하도록 상기 승압부를 제어하는 피드백부를 구비하며, 또한, 상기 전원 전압을 검출하기 위해 상기 전원 출력단에 각각 접지되어 서로 저항치가 다른 복수의 저항 및 상기 복수의 저항 중 상기 피드백부에 접속하는 저항을 선택하는 셀렉터 스위치를 갖고, 상기 셀렉터 스위치가 선택하는 저항의 저항치에 따라, 전원 전압의 상기 피드백부의 입력 분압치가 변경되며, 상기 디지털 아날로그 변환 회로 및 상기 아날로그 신호 처리 회로로의 출력 전원 전압이 변경되는 것이다.

본 발명의 또다른 특징은, 출력 전원 전압의 저하가 요구될 때는, 상기 셀렉터 스위치에 의해 저항치가 작은 저항을 선택시키고, 상기 피드백부의 입력 분압치를 상승시키는 것이다.

본 발명의 또다른 특징은, 상기 전원 회로가, 입력 전압을 승압하는 승압부와, 상기 승압부와 전원 출력단 사이의 도통을 제어하는 승압 전원 출력 스위치와, 전원 입력단과 상기 전원 출력단을 바이패스하는 비승압 전원 출력 스위치를 구비하며, 2종류의 상기 출력 스위치를 전환 제어해서, 승압 전원 전압 또는 비승압 전원 전압 중, 어느 것을 상기 디지털 아날로그 변환 회로 및 상기 아날로그 신호 처리 회로로 출력하는 것이다.

본 발명의 또다른 특징은, 상기 구동 장치에 있어서, 전원 회로가, 복수의 캐패시터 및 복수의 캐패시터를 스위치로 구비하며, 상기 캐패시터용 스위치의 전환 제어에 의해 입력 전압을 승압하는 승압부와, 상기 승압부와 전원 출력단 사이의 도통을 제어하는 승압 전원 출력 스위치와, 전원 입력단을 상기 전원 출력단에 바이패스하는 비승압 전원 출력 스위치를 구비하며, 상기 구동 회로가 시스템 클럭을 이용해서 작성한 전원 클럭을 상기 복수의 캐패시터용 스위치의 전환 제어에 이용하며, 상기 출력 스위치의 전환 제어와, 상기 전원용 클럭에 따라 상기 디지털 아날로그 변환 회로 및 상기 아날로그 신호 처리 회로에 대해서, 승압 전원 전압 또는 비승압 전원 전압의 어느 것을 출력하는지 또는 상기 전원 전압 출력을 정지하는 것이다.

또한 전원 회로는, 소정의 발진 회로로부터의 클럭을 상기 복수의 캐패시터용 스위치의 전환 제어에 이용하며, 상기 출력 스위치의 전환 제어와, 상기 발진 회로로부터의 클럭에 따라, 상기 디지털 아날로그 변환 회로 및 상기 아날로그 신호 처리 회로에 대해서, 승압 전원 전압 또는 비승압 전원 전압의 어느 것인가를 출력해서 또는, 상기 전원 전압 출력을 정지하는 것이다.

이와 같은 본 발명의 표시 장치를 구동 장치는, 적어도 3종류의 전원 발생 동작이 가능하며, 항상 동작 외에, 복수의 파워세이브 모드에 대응하고, 장치 기능을 유지하며 소비 전력의 저감을 도모하거나, 소비 전력의 저감을 최우선하는 등, 많은 동작 모드에 대응할 수 있다. 즉, 항상 동작 시에 표시가 가능함과 동시에, 예를 들면 요구되는 소비전력의 저감 레벨이 낮은 경우에는 비승압 전원 전압을 발생함으로써 표시를 가능하게 하고, 요구 레벨이 높은 경우에는 전원을 오프 제어함으로써 이 전원을 동작 전원으로 하는 경우 등에 있어서의 소비 전력을 위에도 낮출 수 있다. 많은 파워세이브 모드에 대응한 고성능 장치를 제공할 수 있다.

또한 본 발명에서는 상기 전원 회로에 있어서, 상기 집적회로가 소정의 파워 세이브 제어 명령에 기초하여, 승압 전원 발생 모드인지, 비승압 전원 발생 모드인지, 전원 정지 모드인지를 판정하고, 결과에 따라, 상기 전원 클럭 공급과 공급 정지 또는 상기 발진 회로로부터의 클럭 공급과 공급정지 및 상기 전원

회로의 전기 출력 스위치의 개폐를 제어할 수 있다.

이와 같은 출력의 공급 및 전지는, 예를 들면 CPU 등으로부터의 제어 명령에 기초하여 간단한 구성에 의해 제어할 수 있으며, 또한 스위치의 개폐 제어에 대해서도 간단한 구성으로 실현할 수 있으며, 복수의 동작 모드에 간단한 구성으로 대응하는 것이 용이하다.

#### 실시예

이하 본 발명의 바람직한 실시예에 대해서 도면을 참조하여 설명한다.

##### 실시예 1

도 1은, 실시예 1에 관한 파워세이프 모드 대응형 표시 장치의 개략 구성을 나타내고 있다. 이 표시 장치는, 예를 들면 휴대전화에 탑재되는 LCD 등의 평면 표시 장치이며, 표시 패널(이하 LCD 패널)(200)과, 구동 회로(100)를 갖고, 이 둘 구동 회로(100) 및 패널(200)에 필요한 복수의 전원 전압(예를 들면 VDD1, VDD2, VDD3)을 공급하는 전원 회로(300)를 구비하고 있다.

구동 회로(100)는, 신호의 도 10과 마찬가지로 디지털 신호를 처리하는 디지털 신호 처리 회로인 래치 회로(10), 아날로그 신호를 처리하는 회로에 해당하는 O/A 변환 회로(12) 및 앰프(14)를 구비함과 동시에 I/F 회로(16) 및 T/C(18)를 구비한다. I/F 회로(16)는, 도시하지 않은 CPU로부터 송출되는 명령을 받아 이것을 해석하고 명령에 따른 제어신호를 출력한다. CPU로부터 송출되는 명령은, 파워세이프 제어 명령과, 표시 패널에서의 표시 장치의 조정 명령과 커맨드 조정 명령등으로 이들 제어 명령은 미리 정해진 디지털 제어 데이터(S-DATA)를 수신하고, 제어 데이터에 따른 제어 신호를 발생한다. 한편, I/F 회로(16)의 구성 및 파워세이프 제어 신호의 발생 동작은 후술하는 실시예 2(도 7 및 도 8(a)~(i))와 동일하며, 여기서는 설명을 생략한다. 또한 T/C(18)는, 실시예 1에서 도트 클럭DOTCLK, 수평 동기 신호Hsync, 수직 동기 신호Vsync 등의 타이밍 신호에 기초하여 LCD 패널(200)에서의 표시에 적합한 타이밍 신호를 발생하고, 이것을 LCD 패널(200)로 출력하고 있다.

본 실시예는, 상기 구동 회로(100) 중, 아날로그계 처리 회로, 구체적으로 O/A 변환 회로(12)와 앰프(14)에 대해서, 나중에 설명하는 전원 회로(300)에 의해 파워세이프 시에, 통상 동작시보다는 낮지만 이들 회로가 동작 가능한 전원 전압VDD2를 공급한다. 이에 따라, 파워세이프 시에서의 표시부에서의 표시를 가능하게 하며, 이는 아날로그계 회로에서의 소비 전력 저감을 도모하고 있다.

(스위칭 레귤레이터형 전원 회로)

도 2는 실시예 1에 관한 전원 회로(300) 중 VDD2를 발생하는 회로구성을 나타내고 있다. 이 전원 회로(300)는, 파워세이프 모드에 대응한 스위칭 레귤레이터형의 전원 회로이며, I/F 회로(16)에서 공급되는 파워세이프 제어 신호에 기초하여 파워세이프 시에도, 오프 하지 않고 O/A 변환 회로(12) 및 앰프(14)에 대해서, 통상 동작 시의 전원 전압VDD2 보다도 낮은 전원 전압VDD2를 발생해서 공급하고 있다. 한편, 파워세이프 시의 전원 전압VDD2는, 통상 동작시보다는 저전압이나, 상기 O/A 변환 회로(12) 및 앰프(14)가 동작하기에는 필요한 전압 이상으로 설정되어 있다.

전원 회로(300)는, 송입부(301) 및 비드백부(302)를 갖고, 송입부(301)는 도 11(a)의 송입부(351)와 마찬가지로, 임플란트 사이에 제공된 코일L1 및 다이오드D1과, 발진 회로(30s) 및 발진 회로(30s)로부터의 펄스신호를 게이트에 받아 온오프하고, 코일L1과 다이오드D1 사이의 전압을 스위칭하는 트랜지스터(Tr30)를 구비한다.

또한, 비드백부(302)는, 전원 출력단에 접속된 저항R1 및 R2, 이들 저항과 접속되어 저항 분압을 발생하기 위한 저항R3, 이들 저항에 의해서 검출되는 출력 전원 전압의 분압치와 기준 전압Vref를 비교하는 컴퍼레이터(31)를 구비한다. 그리고, 저항 분압에 의해서 검출한 출력 전원 전압을 유지하도록 상기 송입부(351)에서의 송입 동작, 구체적으로는 발진 회로(30s)의 발진 주파수를 제어하고 있다.

전원 출력단에 접속된 저항R1 및 R2의 티단은, 셀렉터 스위치 SW30에 의해서, 그랜드에 접속된 저항R3과 접속가능하게 되어 있다. 저항R1의 저항치는, 저항R2의 저항치보다도 크며, 스위치 SW30은, I/F 회로(16)로부터의 파워세이프 제어신호가 통상 동작(예를 들면 H레벨)을 나타내면 저항R1을 선택하고, 파워세이프 모드(예를 들면 L레벨)를 나타내면 저항R2를 선택한다.

비드백부(302)의 입력에 해당하는 컴퍼레이터(31)의 양의 입력단은, 스위치SW30에 의해 선택된 저항R1 또는 R2와, 저항R3 사이에 접속되며, 출력 전압의 분압이 인가되며, 음의 입력단에는 기준 전압Vref가 인가되어 있다. 따라서, 컴퍼레이터(31)는, 저항R1과 R3, 또는 저항R2와 R3의 저항에 따른 분압과, 인가되는 기준 전압Vref와 비교해서 비교신호를 출력하고, 이 비교신호에 의해 발진 회로(30s)의 발진 주파수가 제어되어 있다.

신호의 길이, 통상 동작시에 파워세이프 제어신호가 예를 들면 H레벨이면 스위치 SW30이 고정 저항의 저항R1을 선택하므로, 컴퍼레이터(31)의 양의 입력단에 인가되는 전압은 소정의 저전압이 된다. 그리고, 이 양의 입력 전압과 기준 전압Vref가 비교되며, 컴퍼레이터(31)로부터의 비교 출력에 의해 발진 회로(30s)는 컴퍼레이터(31)의 양의 입력단의 전압이 저하지 않도록 그 발진 주파수가 제어되며, 이에 따라 트랜지스터(Tr30)에 온오프되며, 전원 회로(300)에서 구동 회로의 아날로그계 회로의 출력 전원 전압은 높은 소정의 전압VDD2(예를 들면 5V)로 유지된다.

한편, 도시하지 않은 CPU로부터 파워세이프가 명령되면, 이에 따라 파워세이프 제어신호는 예를 들면 L레벨이 되며, 스위치 SW30은 R1 보다 저저항의 저항R2를 선택한다. 이 때문에 컴퍼레이터(31)의 양의 입력 전압은 통상 동작 시와 비교해서 낮고, 이것이 통상 동작 시와 같은 기준 전압Vref와 비교되므로 발진 회로(30s)는 컴퍼레이터(31)의 양의 입력단 전압이 낮아(R1이 선택되었을 때와 같은 전압으로)지도록, 즉 출력 전원 전압VDD2가 낮아지도록 그 발진 주파수가 변화(저하)한다. 이 때문에, 발진 회로(30s)로부터의 낮은 주파수의 펄스신호에 의해 트랜지스터(Tr30)가 온오프 제어되며, 전원 회로(300)로부터의 출력 전압

VDD2는, 통상 동작 시와 비교해서 낮은 전압(예를 들면 3V)이 되며, 이것이 유지된다.

바와 같이, 스위치 SW30에 의해서 저항R1과 R2를 전환함으로써, 스위칭 레귤레이터형 전원 회로(300)의 출력 전압을 파워세이프 시에 0V가 아니라, 통상 동작시보다 낮은 소정의 전압으로 할 수 있게 되어 있다.

#### (차지 펄프형 전원 회로)

다음으로, 파워세이프 모드에 대응한 본 실시예 1의 차지 펄프형 전원 회로에 대해서 도 3을 이용하여 설명한다. 도 3에 도시하는 전원 회로(300)는, 통상 동작 시에 발생하는 전원 전압VDD2가 입력 전압Vin의 예를 들면 2배로, 파워세이프 시에는 통상 동작 시보다 낮고, 입력 전압Vin과 동등한 전원 전압VDD2를 발생한다. 또한, 발진 회로(30c), 캐패시터용 스위치 SW1~SW4, AND 게이트(32), NAND 게이트(33), 캐패시터 C1 및 C2는 도 11(b)에 나타내는 종래의 전원 회로(350)와 공통하다. 본 실시예인 전원 회로(300)에서는, 통상 동작 시와 파워세이프 시에 출력 전압을 전환하기 위한 구성으로서, 승압 전원 전압 출력 스위치로서 트랜지스터(T131) 및 인버터(34), 비승압 전원 전압 출력 스위치로서 트랜지스터(T132)를 구비한다.

통상 동작 시에는 1/F 회로(16)에서 출력되는 H레벨의 파워세이프 제어 신호가 인버터(34)를 통해 승압부(차지 펄프)(303)의 출력단에 설치된 트랜지스터(T131)를 온 제어하며, 입력력 사이클 바이패스 하기 위해서 설치된 트랜지스터(T132)를 오프 제어한다. 따라서, 통상 동작 시에는, 스위치 SW1 및 SW2와, 스위치 SW3 및 SW4를 그대로 전환함으로써 입력 전압Vin을 승압하여 얻은 출력 전압VDD2(예를 들면 5V)를 트랜지스터(T131)를 통해 출력할 수 있다. 한편, 파워세이프 시에 파워세이프 제어 신호가 L레벨이 되면, 트랜지스터(T131)는 오프 제어되고, 반대로 트랜지스터(T132)가 온 제어된다. 따라서, 파워세이프 시에는, 전원 회로(300)의 입력단과 출력단이 트랜지스터(T132)에 바이패스되고, 승압부(303)의 출력은 트랜지스터(T131)에 의해서 차단된다. 따라서, 도 3의 전원 회로(300)로부터는 파워세이프 시에, 비승압 전압 전원, 즉 입력 전압 Vin이 그대로 전원 전압 VDD2로서 출력된다.

#### (공전 회로(100))

다음에, 상기 도 2와는 도 3에 도시한 바와 같은 전원 회로(300)로부터 전원 전압 VDD2를 받아 동작하는 도 1의 D/A 변환 회로(12)와 증폭기(14)에 대해서, 또한 도 4 및 도 5를 참조하여 설명한다. 상술된 바와 같이 본 실시예의 전원 회로(300)로부터 출력되는 전원 전압VDD2는, 파워세이프 시 통상 동작 시보다 낮게 되도록 되어 있다. 그래서, 본 실시예에서는, D/A 변환 회로(12)로서, 도 4에 도시한 바와 같이, 전원VDD2와 입력 사이클에 복수의 분압 저항이 직렬 접속된 저항형 D/A 변환(RDAC) 회로를 채택하고 있다.

이 D/A 변환 회로(12)는, 전원 전압VDD2가 저하해도 변환 동작이 가능함과 동시에, 분압 저항의 전원 전압 VDD2가 통상 동작 시(5V)와 파워세이프 시(3V)로 변화하면, 각 분압 저항으로부터의 분압 출력이 이에 따라서 변화한다. 따라서, 공급되는 디지털 데이터에 따라서 통상 시와 같이 스위치(120)를 전환하는 것으로, 도 5에 도시한 바와 같이 전원 전압VDD2의 변화에 따라서 출력하는 아날로그 신호의 전압 레벨이 변화하고, 그 결과, 아날로그 신호의 전폭을 변화시킬 수 있다. 또, D/A 변환 회로(12)는, 상기 RCAC형에는 안하지 않고, 그 전원 전압이 저하해도 변환 동작이 가능하고, 전원 전압과 입력 디지털 데이터에 따른 아날로그 신호를 얻을 수 있는 것이면 좋다.

증폭기(14)는, 이러한 전원 전압의 변화에 전폭이 대응한 아날로그 신호를 전원 전압 VDD2를 이용하여 증폭하여, LCD 패널(200)로 출력한다.

지원 분압 전원이 되는 전원VDD2가 낮아지면 D/A 변환 회로(12)에서의 소비 전력은 저하하고, 또한 증폭기(14)의 동작 전원VDD2도 마찬가지로 저하하므로, 이기서의 소비 전력도 저하한다.

바와 같이 파워세이프 시에는 통상 동작 시보다도 전원 전압VDD2를 낮게 제어함으로써, 아날로그게 처리도 행하는 회로에 있어서, 파워세이프 시에 그 소비 전력을 저감할 수 있으며, 표시 장치 전체로서의 소비 전력을 제어하는 것이 가능해지고 있다.

또한, 이상의 설명에서는, 도시하지 않은 CPU로부터의 파워세이프 제어 명령에 따라서 1/F(16)로부터 출력되는 파워세이프 제어 신호에 기초하여, 전원 회로(300)의 전원 전압을 제어하는 경우를 예로 들고 있지만, 도 1에 도시한 바와 같이 장치 사용자 등이 임의로 전환 가능한 스위치(400)를 설치하여, 이 스위치(400)를 전환하는 것으로, 상기 파워세이프 제어 신호를 발생하더라도 좋고, 이 제어 신호를 도 1 중점 선으로 도시한 바와 같이 전원 회로(300)에 공급하는 구성을 채택해도 좋다. 또한, CPU로부터의 파워세이프 제어 명령을 받아 동작함과 동시에 이 스위치(400)를 이용하여 사용자 등이 임의로 파워세이프를 행하는 구성으로 할 수 있다.

#### 실시예 2

다음에, 실시예 2에 따른 파워세이프 모드 대응의 전원 회로 및 이것을 이용한 장치에 대해서, 도 1 및 도 6~9를 참조하여 설명한다. 상기 실시예 1의 표시 장치에서는, 파워세이프 시에 전원을 오프 제어하지 않고, 아날로그게 회로의 전원 전압VDD2를 통상 동작 시보다도 낮게 제어했으나, 본 실시예 2에서는, 파워세이프 모드에 따라서, (모드 1) 실시예 1과 같이 아날로그게 회로의 전원 전압VDD2를 통상 동작 시보다 낮게 제어 가능함과 동시에, (모드 2) 그 전원을 오프 제어하는 것도 가능해지고 있다.

표시 장치의 전체 구성은, 도 1에 도시한 바와 같지만, 본 실시예 2에 있어서 전원 회로(300)에는, 1/F 회로(16) 또는 스위치(400)로부터의 파워세이프 제어 신호1과, 도 1에 있어서 2점쇄선으로 도시하는 T/C 회로(18)의 전원용 클럭이 공급되고 있다. 도 6은, 실시예 2에 따른 전원 회로(300)의 구성을 도시하고, 도 7은, 상기 공통 회로(100)의 1/F 회로(16), 및 T/C 회로(18)의 전원용 클럭 발생부를 도시하며, 도 8은, 파워세이프 모드 1의 경우에 있어서의 본 실시예 2의 장치 동작, 도 9는 파워세이프 모드 2의 경우에 있어서의 장치 동작을 나타내고 있다.

전원 회로(300) 중, 도 6에 도시한 바와 같이 본 실시예 2에 있어서 아날로그게 회로의 동작 전원으로 전원 전압VDD2를 발생하는 회로는, 차지 펄프형 전원 회로이고, 후술과 같이 T/C 회로(18)로부터 전원용 클럭을 받아 동작 가능하고, 발진 회로(30c)가 필요하며, 다른 구성에 대해서는 상기 도 3의 전원 회로(300)와

공급된다.

도 7에 도시한 바와 같이, 1/A 회로(16)는, AND 게이트(169), 플립플롭(F/F)(161~168), 인버터(170~173, 175~177) 및 NAND 게이트(174) 및 (178)를 구비한다. 그리고, CPU에서 송출되는 로드 신호(도 8(a) : S-LOAD)가 H레벨이 되면, CPU에서 공급되는 클럭(도 8(b) : S-CLOCK)의 상승에 따라서, 제어 데이터(도 8(c) 또는 도 9(c) : S-DATA)를 저장하여 대응하는 제어 신호를 발생한다. 또 이 제어 데이터는 4비트로 구성되어 있고, 이하에서는, 도 8(c)의 '0001'이 전원 전압VDD2를 항상 동작 시마다 저하시키는 파워세이브 모드 1, 도 9(c)의 '0010'이 전원 회로를 오프 제어하는 파워세이브 모드 2를 나타내고 있는 경우를 예로 하여 설명한다.

도 7에 있어서, 1/A 회로(16)의 F/F(161~164)는, 클럭(S-CLOCK)과 로드 신호(S-LOAD)와의 AND 출력OUT<sub>161</sub>(도 8(d))을 각 클럭 단자CK에 받아, 이 출력OUT<sub>161</sub>가 상승 시에 0단자에 공급되는 직렬 제어 데이터(S-DATA)를 순차적으로 저장하여, 이것을 Q단자로부터 출력한다. F/F(165~168)는, 인버터(170)로부터 출력되는 로드 신호(S-LOAD)의 반전 신호를 클럭 단자 CK에 받아, 대응하는 0단자에 공급되는 F/F(161~164)로부터의 Q출력을 순차적으로 저장하여, 이것을 Q단자로부터 출력한다.

(파워세이브 모드 1: 제어 데이터 '0001'일 때)

우선, 전원이 파워세이브 모드 1의 경우에 있어서의 동작에 관해서 설명한다. F/F(161~164)는, 각각 도 8(a)의 출력OUT<sub>161</sub>의 상승으로, 순차적으로 도 8(c)의 제어 데이터 '0001'를 저장하므로, F/F(162~164)의 Q출력(Q<sub>162</sub>~Q<sub>164</sub>)은, 도 8(1)에 도시한 바와 같이 전기간 L레벨을 유지하고, F/F(161)의 Q출력(Q<sub>161</sub>)만이, 클럭(S-CLOCK)의 4회째 상승으로 L레벨에서 H레벨로 변화한다.

F/F(165)는, 도 8(a)의 로드 신호(S-LOAD)의 상승·하강 시에, F/F(161)의 Q출력(Q<sub>161</sub>)을 저장하므로, 도 8(a)에 도시한 바와 같이 F/F(165)의 Q출력(Q<sub>165</sub>)은, 로드 신호(S-LOAD)의 상승·하강으로 L레벨에서 H레벨로 변화한다. 또한, F/F(166~168)의 0단자에는, 상승된 바와 같이 전기간 L레벨의 F/F(162~164)의 Q출력이 공급되어 있으므로, 도 8(b)에 도시한 바와 같이 로드 신호(S-LOAD)가 하강하더라도, 각 Q출력(Q<sub>166</sub>~Q<sub>168</sub>)은 L레벨을 유지한다.

NAND 게이트(174)에는, F/F(165)로부터의 Q출력(Q<sub>165</sub>)과, F/F(166~168)의 Q출력(Q<sub>166</sub>~Q<sub>168</sub>)을 인버터(171~173)로 반전하여 얻은 반전 출력이 공급되어 있다. 따라서, NAND 게이트(174)로부터는, 도 8(i)에 도시한 바와 같이, Q출력(Q<sub>174</sub>) 레벨과 반전 Q출력(Q<sub>175</sub>~Q<sub>178</sub>) 레벨이 함께 H레벨이 되면 L레벨이 출력된다. 즉, NAND 게이트(174)로부터는, 로드 신호(S-LOAD)의 H레벨 기간 중에 공급된 제어 데이터(S-DATA)가 '0001'(= 파워세이브1)이던 경우에만, 로드 신호의 상승·하강으로부터 L레벨이 되는 파워세이브 제어 신호1(A)이 출력된다.

또한, NAND 게이트(178)에는, F/F(165, 167) 및 (168)의 각 Q출력(Q<sub>165</sub>, 167, 168)을 인버터(171~173)로 반전하여 얻은 반전 출력과, F/F(166)로부터의 반전된 Q출력(Q<sub>166</sub>)이 공급되어 있다. 따라서, NAND 게이트(178)로부터의 출력OUT<sub>178</sub>은, 전원이 H레벨에 갖추어지는 기간 없이 도 8(j)에 도시한 바와 같이, 전기간 H레벨을 유지하는 파워세이브 제어 신호2(B)가 된다.

NAND 게이트(174)로부터 출력되는 파워세이브 제어 신호1은, 실시예 1과 마찬가지로, 도 6의 전원 회로(300)의 AND 게이트(32), NAND 게이트(33), 트랜지스터(T<sub>r32</sub>) 및 인버터(34)를 통해 트랜지스터(T<sub>r31</sub>)에 공급되고 있다.

한편, NAND 게이트(178)로부터 출력되는 파워세이브 제어 신호2는, 도 7에 도시한 바와 같이 T/C(18)내에 설치된 전원용 클럭 발생 회로(180)에 공급된다. 이 전원용 클럭 발생 회로(180)는, 파워세이브 제어 신호2와, 각 IC 등으로 공급되거나 개개의 IC가 작성하는 시스템 클럭에 기초하여 전원용 클럭을 발생하는 회로이며, 본 실시예 2에서는, AND 게이트로 구성되고, 이 AND 게이트 한쪽의 입력에 상기 파워세이브 제어 신호2가 공급되고, 다른 쪽 입력에 도 8(k)에 도시한 바와 같은 시스템 클럭이 공급된다. 상승된 바와 같이 제어 데이터(S-DATA)가 '0001'인 경우에는, 파워세이브 제어 신호2는 전기간 H레벨이므로, 전원용 클럭 발생 회로(180)는, 시스템 클럭(도 8(k))을 그대로 전원용 클럭으로서 이것을 전원 회로(300)에 출력한다.

파워세이브 모드 1로 이행하는 경우, 전원 회로(300)는 이하와 같이 동작한다. 우선, 통상 동작 시에는, 1/A 회로(16)의 NAND 게이트(174)로부터 출력되는 파워세이브 제어 신호1은 H레벨로, 이것이 인버터(34)를 통해 저저 임프의 출력단에 설치된 트랜지스터(T<sub>r31</sub>)를 온 제어하여, 입출력 사이에 설치된 트랜지스터(T<sub>r32</sub>)를 오프 제어한다.

또한, 파워세이브 제어 신호2도, 통상 동작 시에서 H레벨을 유지하기 때문에, 전원용 클럭 발생 회로(180)에서는, 시스템 클럭에 따라서 전원용 클럭이 출력된다. 이 전원용 클럭은, 전원 회로(300)의 AND 게이트(32) 및 NAND 게이트(33)의 한 쪽 입력에 공급되며, 또한, 통상 동작 시에, 전원 회로(300)의 AND 게이트(32) 및 NAND 게이트(33)의 다른 쪽의 입력에 공급되는 파워세이브 제어 신호1은 H레벨이다. 따라서, 통상 동작 시에는, AND 게이트(32) 및 NAND 게이트(33)로부터 전원용 클럭이 반전전, 반전으로 스위치 SW1~SW4에 공급되어, 스위치 SW1 및 SW2와, 스위치 SW3 및 SW4가 교대로 전환 제어되어, 입력 전압Vin을 승압하여 얻는 출력 전압VDD2(예를 들어 5V)가 트랜지스터(T<sub>r31</sub>)를 통해 출력된다.

도 8(a)의 로드 신호(S-LOAD)가 L레벨로 하강하면, 파워세이브 모드 1로 이행하여, 파워세이브 제어 신호1이 L레벨로 내려가고, 실시예 1과 같이, 트랜지스터(T<sub>r31</sub>)는 오프 제어되며, 반대로 트랜지스터(T<sub>r32</sub>)가 온 제어된다. 전원 회로(300)의 입력단과 출력단이 트랜지스터(T<sub>r32</sub>)에 의해서 막아 패스되어, 승압부(303)의 출력은 트랜지스터(T<sub>r31</sub>)에 의해서 차단된다.

이와 같이 하여 파워세이브 모드 1의 시에는, 전원 회로(300)보다 입력 전압Vin이 승압되지 않고 그대로 전원 전압VDD2로서 출력된다. 또, 파워세이브 1일 때, 전원용 클럭의 공급은 계속하고 있지만, 파워세이



제어 신호1이 L레벨이므로, AND 게이트(32) 및 NAND 게이트(33)의 출력은 고정되어 있다.

(파워세이브 모드 2 : 제어 데이터 '0010'일 때)

다음으로, 명령이 파워세이브 모드 2의 경우에 관해서 설명한다. 이 경우, F/F(161~164)는, 도 8(d)의 로딩 데이터의 상승으로, 순차적으로 도 9(c)의 제어 데이터 '0010'을 저장하므로, F/F(161, 163) 및 (161)의 Q출력(Q<sub>161</sub>, 163, 164)은, 전기간 L레벨을 유지하고, F/F(162)의 Q출력(Q<sub>162</sub>)만이, 클럭(S-CLK)의 3번째 상승으로 L레벨에서 H레벨로 변화한다.

또한, F/F(165~168)는, 도 9(a)의 로드 신호(S-LOAD)의 상승·하강 시에, F/F(161~164)로부터의 Q출력(Q<sub>161</sub>~164)을 서상하기 위해서, F/F(166)의 Q출력(Q<sub>166</sub>)만이, 로드 신호(S-LOAD)의 상승·하강으로 L레벨에서 H레벨로 변화하여, F/F(165, 167) 및 (168)의 각 Q출력(Q<sub>165</sub>, 167, 168)은 L레벨을 유지한다.

따라서, NAND 게이트(174)로부터 출력되는 파워세이브 제어 신호1(A)은, 전 기간에 그 입력 레벨이 일치하지 않으므로, 도 9(d)에 도시한 바와 같이 H레벨을 유지한다. 한편, NAND 게이트(178)에서는, 로드 신호(S-LOAD)가 하강하여, F/F(166)의 출력이 H레벨이 된 시점에서, 그 NAND 게이트(178)로의 입력 레벨이 전도 H레벨로 되어, 도 9(e)에 도시한 바와 같이 파워세이브 제어 신호2는 L레벨로 변화한다. 파워세이브 제어 신호2가 L레벨이 되면, 도 7의 전원용 클럭 발생 회로(180)로부터의 시스템 클럭(도 9(f))의 출력이 고정되어, 도 9(g)에 도시한 바와 같이 출력이 L레벨에 고정된다. 따라서 전원용 클럭의 전원 회로(300)로의 공급이 정지한다.

전원 회로(300)는, 도 9(a)의 로드 신호(S-LOAD)가 하강하기까지의 통상 동작 기간 중에는, 상기와 같이 입력 전압V<sub>in</sub>을 증압하여 출력 전압V<sub>DD2</sub>를 발생한다. 그리고, 로드 신호(S-LOAD)가 하강한 시점에서, 파워세이브 모드 2로 이행한다. 이에 따라, 전원용 클럭 발생 회로(180)로부터의 전원용 클럭이 L레벨에 고정되므로, 스위치 SW1 및 SW2가 오프되고, SW3 및 SW4가 닫힌 상태가 된다. 또한, 이 때 파워세이브 제어 신호1은, H레벨을 유지하고 있으므로, 트랜지스터(Tr32)는 오프 제어되어, 트랜지스터(Tr31)는 온 제어되어 있으므로, 전원 회로(300)로부터 전압 V<sub>DD2</sub>의 출력이 정지한다.

따라서, 파워세이브 모드 2의 때로는, 적어도 전원 회로(300)의 V<sub>DD2</sub>가 오프 제어되어, 구동 회로(100)의 어닐로그 회로는 동작하지 않는다. 또한, 도시하지 않지만, V<sub>DD1</sub> 및 V<sub>DD3</sub>에 관해서도 파워세이브 모드 2의 경우에는 오프 제어함으로써, 구동 회로 등에서의 전력 소비를 완전히 없앨 수 있으며, 표시 장치로서는 전력 소비를 확실하게 저감할 수 있다. 또한, 파워세이브 모드 2에서는, 장치가 표시를 요구하지 않으므로, 전원용 클럭의 발생을 정지하여, 전원 회로(300)를 오프 제어하더라도, 표시에는 아무런 영향을 주지 않는다.

또한, 전원 회로(300)의 구성은, 상기 도 6에 한하지 않고, 실시예 1에 있어서 설명한 도 3에 도시한 바와 같은 전원 회로(300)라도 대응할 수 있다. 여기서, 도 3의 전원 회로(300)의 파워세이브 모드 1에 대한 대응은, 실시예 1과 동일하며, 도 7의 NAND 게이트(174)로부터 출력되는 파워세이브 제어 신호1(A)에 따라서 트랜지스터(Tr31, 32)를 전원 제어한다. 파워세이브 모드 2에 대한 대응은, 발진 회로(30c)에 도 7의 NAND 게이트(178)로부터 출력되는 파워세이브 제어 신호2(B)를 공급하여, 이 제어 신호2에 따라서 발진 회로(30c)의 발진 동작을 정지시키고, 동시에 파워세이브 제어 신호1로 트랜지스터(Tr31, 32)를 전환하여, Tr31을 온 제어시키면 좋다.

또한, 상기와 같이 본 실시예 2에 따르면, 파워세이브에 있어서, 전원 전압을 통상 동작 시보다 낮게 하여 소비 전력을 억제하면서 표시도 가능하게 하는 것도, 전원을 오프 제어함으로써 이 전원을 동작 전원으로 하는 회로 등에서의 소비 전력을 없애는 것도 할 수 있다. 따라서, 사용성이 높게, 또한 요구된 경우에는 최대한 소비 전력을 억제할 수 있는 고성능 기기에 있어서 매우 효과적이다.

또한, 전원용 클럭을 발생하는 회로(180)는, 파워세이브 제어 신호2와 시스템 클럭과의 논리 연적을 취하는 AND 게이트만으로 구성할 수 있으면, 이 AND 게이트는 용이하고 또한 소 면적에서 구동 회로용 IC(100)에 내장할 수 있다. 또한, 전원용 클럭을 이용하면 전원 회로(300)에 발진 회로를 필요로 하지 않으므로, 전원 회로(300)는, 그 캐패시터 C1 및 C2 이외의 구성 전부를 예를 들면 상기 구동 회로(100)와 동일 IC 내에 만들어 넣을 것이 가능해진다. 따라서, 전원 회로와 구동 회로를 포함하는 표시 장치의 구동부를 보다 작은 면적에서 실현할 수 있다.

또, 전원용 클럭 발생 회로(180)는, 통상 동작 기간 중, 상승된 바와 같이 시스템 클럭을 그대로 전원용 클럭으로서 출력해도 좋지만, 그대로 출력하는 것은 아니고 시스템 클럭과 동일 주파수로, 전원 회로(300)에서의 캐패시터 C1, C2의 비유 등에 따라서, 그 전폭이나 펄스 폭이 다른 클럭을 출력해도 좋다. 또한, 통상 동작 기간 중, 시스템 클럭에 기초하여, 캐패시터 C1, C2의 용량치 등을 고려하여, 전원 회로(300)에 있어서 최적의 주파수 클럭을 발생하는 구성이어도 좋다.

이상으로 설명한 본 발명의 실시예 1 및 2에 있어서, 표시 장치는 액정 표시 장치에 한하지 않고 유기 EL 표시 장치나, 그 외 평면 표시 장치이더라도 동일 효과를 발휘한다. 또한 액정 표시 장치 등으로 대표되는 표시 장치에 있어서, 표시를 행할 때 구동 회로에서는 어떤 시스템 클럭을 이용하고 있으며, 실시예 2와 같이 이 시스템 클럭을 이용하면 전원 회로에 발진 회로가 필요없이므로, 간단한 구성으로 전원용 클럭을 생성할 수 있다.

또한, 실시예 1 및 2에 있어서 설명한 본 발명의 전원 회로는, 표시 장치를 위한 전원에 한정되지 않고, 파워세이브 모드에 대응한 다른 기기의 전원 회로로서도 이용될 수 있다.

또한, 실시예 1 및 2에 있어서, 파워세이브로부터 통상 동작 상태로의 복귀는, 예를 들면, CPU로부터의 로드 신호(S-LOAD)가 다음에 H레벨이 되었을 때에, CPU에서 송출된 제어 데이터가 소정의 통상 동작 명령을 나타내고 있는 경우에, 1/F 회로(16)가 이것을 해석하여, 파워세이브 제어 신호A를 H레벨로 복귀하는 것이 가능할 수 있다(실시예 2에서는, 파워세이브 제어 신호1 및 제어 신호2의 양방).



특2001-0095153

2송입의 상기 출력 스위치를 전환 제어해서, 송입 전원 전압 또는 비송입 전원 전압 중 어느 것을 상기 디지털 아날로그 변환 회로 및 상기 아날로그 신호 처리 회로로 출력하는 것을 특징으로 하는 표시 장치용 구동 장치

#### 실구현 6

제1항 또는 제2항에 있어서,

상기 전원 회로는,

복수의 캐패시터 및 복수의 캐패시터용 스위치를 구비하며, 상기 캐패시터용 스위치의 전환 제어에 의해 입력 전압을 송입하는 송입부와,

상기 송입부와 전원 출력단 사이의 도통을 제어하는 송입 전원 출력 스위치와,

전원 입력단을 상기 전원 출력단에 바이패스하는 비송입 전원 출력 스위치를 구비하며,

상기 구동 회로가 시스템 클럭을 이용해서 적정한 전원용 클럭을 상기 복수의 캐패시터용 스위치의 전환 제어에 이용하며,

상기 출력 스위치의 전환 제어와, 상기 전원용 클럭에 따라 상기 디지털 아날로그 변환 회로 및 상기 아날로그 신호 처리 회로에 대해서, 송입 전원 전압 또는 비송입 전원 전압의 어느 것을 출력할 것인지 또는 상기 전원 전압 출력을 정지하는 것을 특징으로 하는 표시 장치용 구동 장치.

#### 실구현 7

제1항 또는 제2항에 있어서,

상기 전원 회로는,

복수의 캐패시터 및 복수의 캐패시터용 스위치를 구비하며, 상기 캐패시터용 스위치의 전환 제어에 따라 입력 전압을 송입하는 송입부와,

상기 송입부와 전원 출력단 사이의 도통을 제어하는 송입 전원 출력 스위치와,

전원 입력단을 상기 전원 출력단에 바이패스하는 비송입 전원 출력 스위치를 구비하며,

소정의 발진 회로로부터의 클럭을 상기 복수의 캐패시터용 스위치의 전환 제어에 이용하며,

상기 출력 스위치의 전환 제어와, 상기 발진 회로로부터의 클럭에 따라, 상기 디지털 아날로그 변환 회로 및 상기 아날로그 신호 처리 회로에 대해서, 송입 전원 전압 또는 비송입 전원 전압의 어느 것인가를 출력할 것인지 또는 상기 전원 전압 출력을 정지하는 것을 특징으로 하는 표시 장치용 구동 장치.

#### 실구현 8

제6항에 있어서,

상기 구동 회로는, 소정의 파워 세이브 제어 명령에 기초하여, 송입 전원 발생 모드인지, 비송입 전원 발생 모드인지, 전원 정지 모드인지를 판정하고,

결과에 따라, 상기 전원 클럭 공급과 공급 정지 또는 상기 발진 회로로부터의 클럭 공급과 공급정지, 및

상기 전원 회로의 상기 출력 스위치의 개폐를 제어하는 것을 특징으로 하는 표시 장치용 구동 장치.

#### 실구현 9

디지털 신호를 처리하는 디지털 신호 처리 회로와, 디지털 신호를 아날로그 신호로 변환하는 디지털 아날로그 변환 회로와, 아날로그 신호를 처리하는 아날로그 신호 처리 회로를 구비하여, 표시부에 표시를 행하게 하기 위한 신호를 발생하는 표시 장치용 구동 장치에 있어서,

소정의 파워 세이브가 지령되면, 상기 디지털 아날로그 변환 회로 및 상기 아날로그 신호 처리 회로는 음성 동작 시모니노 저하한 전원 전압에 의해 동작하는 것을 특징으로 하는 표시 장치용 구동 장치.

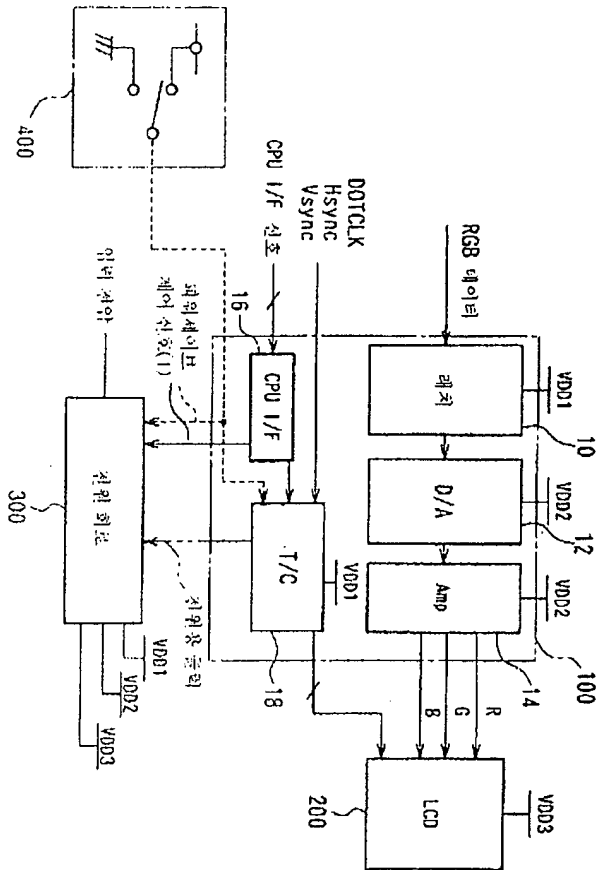
#### 실구현 10

제7항에 있어서,

상기 구동 회로는, 소정의 파워 세이브 제어 명령에 기초하여, 송입 전원 발생 모드인지, 비송입 전원 발생 모드인지, 전원 정지 모드인지를 판정하고,

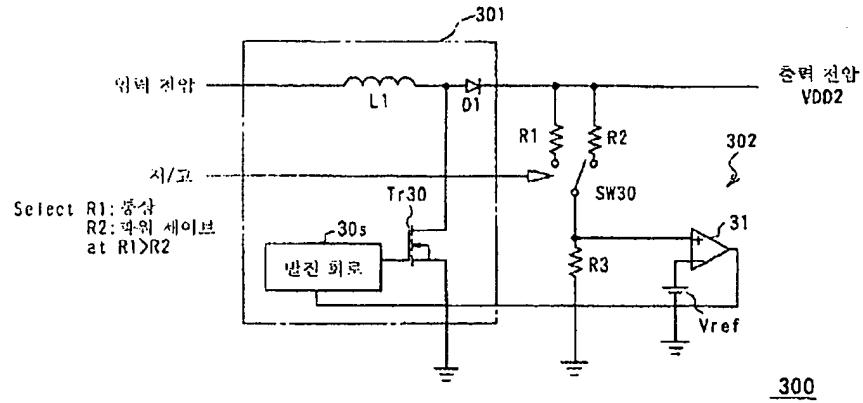
결과에 따라, 상기 전원 클럭 공급과 공급 정지 또는 상기 발진 회로로부터의 클럭 공급과 공급정지, 및

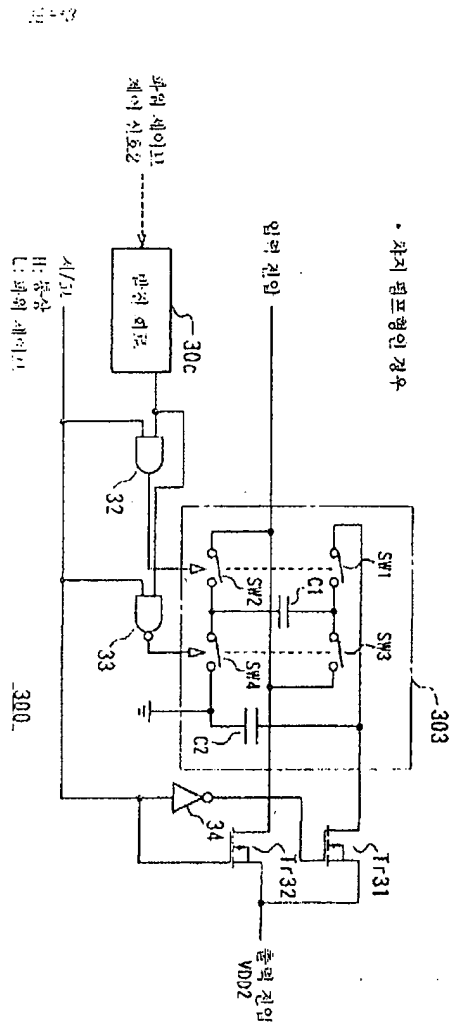
상기 전원 회로의 상기 출력 스위치의 개폐를 제어하는 것을 특징으로 하는 표시 장치용 구동 장치.

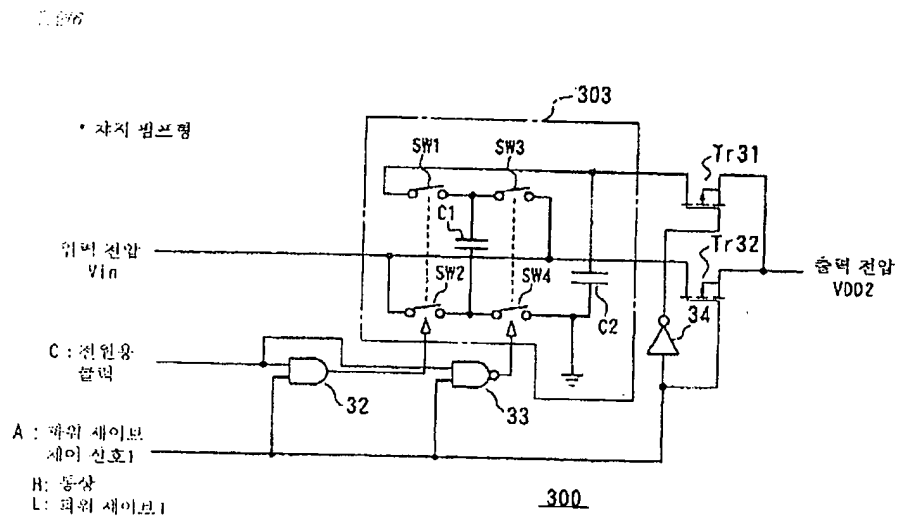
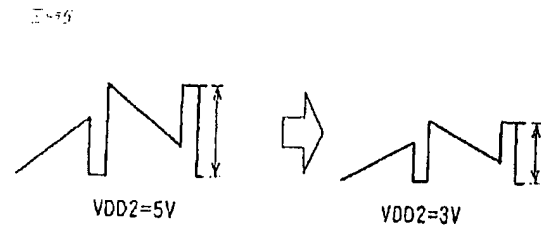
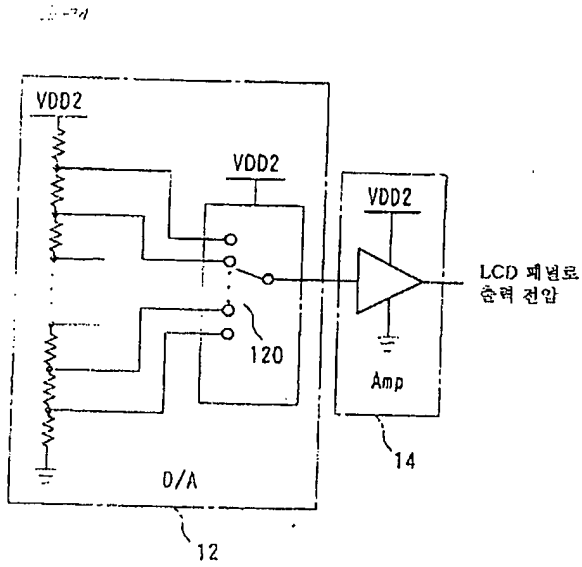


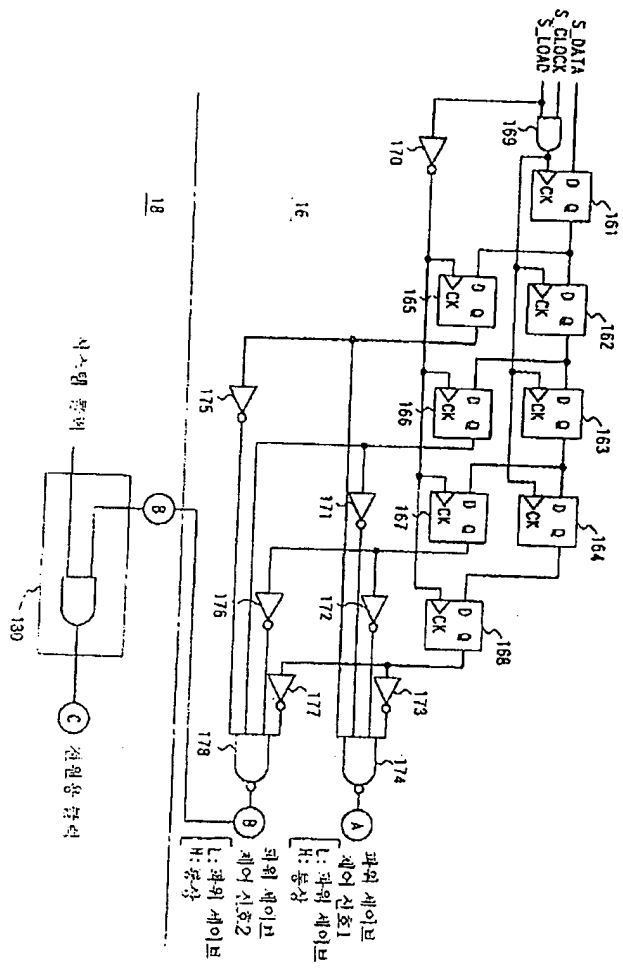
도 192

• 스위칭 레귤레이터인 경우





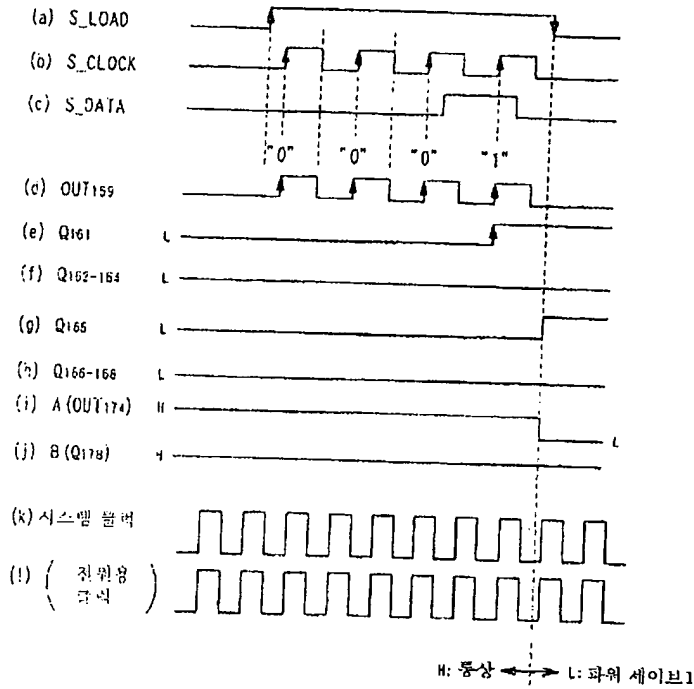






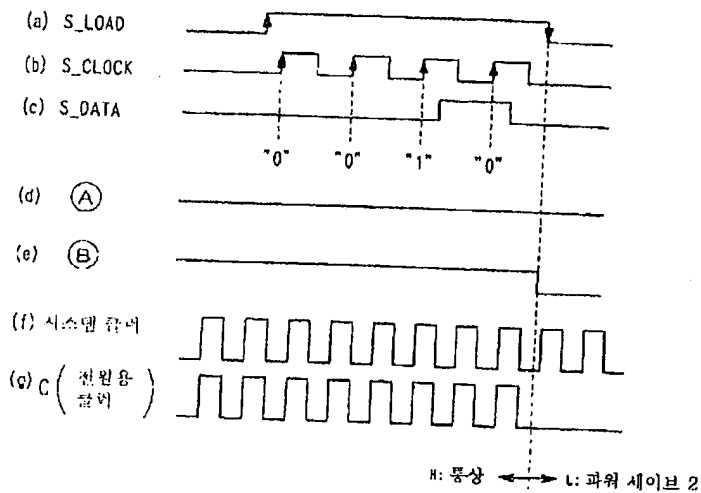
2.2.2

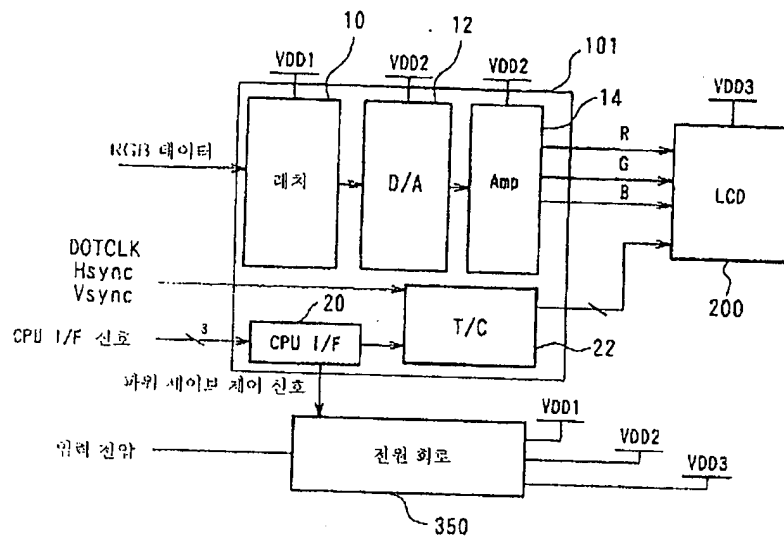
· DATA="0001" (4비트)에서 파워 세이브 모드1이 되는 경우



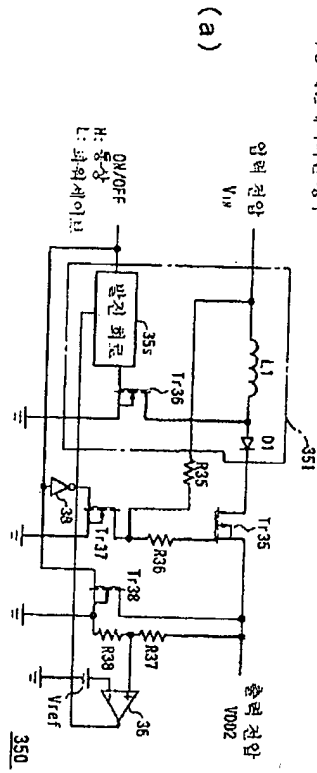
2.2.3

· DATA="0010" (4비트)에서 파워 세이브 모드2가 되는 경우





· 스위칭 레귤레이터인 경우



· 차지 펄프형인 경우

